



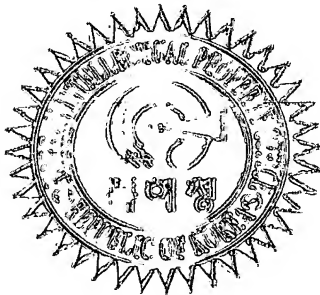
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0056423
Application Number

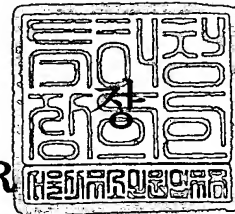
출원 년 월 일 : 2002년 09월 17일
Date of Application SEP 17, 2002

출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 08 월 19 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0006		
【제출일자】	2002.09.17		
【발명의 명칭】	반도체 소자의 게이트 형성 방법		
【발명의 영문명칭】	METHOD FOR FORMING GATE OF SEMICONDUCTOR ELEMENT		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-068046-1		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-068052-0		
【발명자】			
【성명의 국문표기】	고관주		
【성명의 영문표기】	KOH, Kwan Ju		
【주민등록번호】	691123-1622428		
【우편번호】	420-729		
【주소】	경기도 부천시 원미구 중4동 금강마을 407동 101호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	10	면	29,000 원
【가산출원료】	0	면	0 원

【우선권 주장료】	0	건	0	원
【심사청구료】	1	항	141,000	원
【합계】	170,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 소자의 게이트 형성 방법에 관한 것으로, 반도체 기판 상에 하부 게이트 폴리층을 형성하여 패터닝한 후 식각 공정으로 하부 게이트 폴리층을 선택적으로 제거하여 하부 게이트 전극을 형성하는 단계와, 저농도 이온 주입 공정을 실시하여 LDD 영역을 형성하며, 하부 게이트 전극이 형성된 전체구조 상에 질화막을 형성한 후 질화막 식각 공정을 진행하여 질화막으로 하부 게이트 전극의 측벽을 형성하는 단계와, 하부 게이트 폴리층 좌,우측의 LDD 영역에 불순물 이온을 주입하여 소오스 및 드레인을 형성하는 단계와, 소오스 및 드레인이 형성된 구조전체 상에 상부 게이트 폴리층을 형성하여 패터닝한 후 상부 게이트 폴리층을 선택적으로 제거해 상부 게이트 전극을 형성하여 하부 게이트 전극과 상부 게이트 전극으로 이루어지는 게이트 전극을 완성하는 단계와, 전면에 실리사이드 형성 소오스를 증착한 후 어닐 공정을 수행하여 상부 게이트 전극의 상면과 측면 및 LDD 영역 표면에 실리사이드를 형성하는 단계를 포함하며, 실리사이드의 표면적을 증가시켜 실리사이드 저항을 최소화함으로써 궁극적으로 안정된 소자 제어의 이점이 있다.

【대표도】

도 2i

【색인어】

게이트, 폴리실리콘, 실리사이드

【명세서】**【발명의 명칭】**

반도체 소자의 게이트 형성 방법 {METHOD FOR FORMING GATE OF SEMICONDUCTOR ELEMENT}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 게이트가 형성된 반도체 소자의 단면도,

도 2a 내지 도 2i는 본 발명에 따른 게이트 형성 방법을 설명하기 위한 공정 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 게이트 형성 방법에 관한 것으로, 더욱 상세하게는 실리사이드가 형성되는 면적을 증가시켜 실리사이드 저항이 감소되도록 한 반도체 소자의 게이트 형성 방법에 관한 것이다.
- <4> 주지와 같이, 반도체가 고집적화가 되어감에 따라 칩 사이즈는 계속 작아지고 이에 따라 폴리실리콘 게이트의 폭은 더욱 좁아지고 있다.
- <5> 종래 기술에 따른 반도체 소자의 게이트 형성 방법을 도 1을 참조하여 설명하면, 반도체 기판(11) 상에 게이트 폴리층(14)을 형성한 다음, 포토레지스트 패턴(도시하지 않음)을 이용한 노광 및 식각 공정으로 게이트 폴리층(14)을 선택적으로 제거하여 게이트 전극을 형성한다.

- <6> 저농도 이온 주입 공정을 실시하여 LDD 영역(13)을 형성하며, 게이트 전극이 형성된 전체구조 상에 질화막(15)을 형성한 후에 질화막 식각 공정을 진행하면 게이트 폴리층(14)의 좌,우측면의 질화막(15)은 게이트 전극의 측벽으로 남게된다.
- <7> 게이트 폴리층(14) 좌,우측의 LDD 영역(13)에 불순물 이온을 주입하여 소오스 및 드레인(12)을 형성하며, 전면에 실리사이드 형성 소오스를 증착한 후 어닐 공정을 수행하면 표면으로 노출된 영역에 실리사이드(16)가 형성된다.
- <8> 그러나, 전술한 바와 같은 종래의 게이트 형성 방법은 칩 사이즈가 작아짐에 따라 폴리실리콘 게이트의 폭은 더욱 좁아지게 되고, 좁은 폭의 폴리실리콘에 의해 실리사이드 저항이 문제가 된다.

【발명이 이루고자 하는 기술적 과제】

- <9> 본 발명은 이와 같은 종래의 문제점을 해결하기 위하여 제안한 것으로, 게이트 전극을 형성함에 있어서 하부 게이트 전극 형성 공정과 상부 게이트 전극 형성 공정으로 나누어 수행하여 게이트 전극을 완성함으로써, 게이트 전극의 상부 영역뿐만 아니라 측면에도 실리사이드를 형성하여 그 표면적을 증가시켜 실리사이드 저항을 최소화하는 데 그 목적이 있다.
- <10> 이와 같은 목적을 실현하기 위한 본 발명에 따른 반도체 소자의 게이트 형성 방법은, 반도체 기판 상에 하부 게이트 폴리층을 형성하여 패터닝한 후 식각 공정으로 상기 하부 게이트 폴리층을 선택적으로 제거하여 하부 게이트 전극을 형성하는 제 1 단계와, 저농도 이온 주입 공정을 실시하여 LDD 영역을 형성하며, 상기 하부 게이트 전극이 형성된 전체구조 상에 질화막을 형성한 후 상기 질화막 식각 공

정을 진행하여 상기 질화막으로 상기 하부 게이트 전극의 측벽을 형성하는 제 2 단계와, 상기 하부 게이트 폴리층 좌,우측의 상기 LDD 영역에 불순물 이온을 주입하여 소오스 및 드레인을 형성하는 제 3 단계와, 상기 소오스 및 드레인이 형성된 구조전체 상에 상부 게이트 폴리층을 형성하여 패터닝한 후 상기 상부 게이트 폴리층을 선택적으로 제거해 상부 게이트 전극을 형성하여 상기 하부 게이트 전극과 상기 상부 게이트 전극으로 이루어지는 게이트 전극을 완성하는 제 4 단계와, 전면에 실리사이드 형성 소오스를 증착한 후 어닐 공정을 수행하여 상기 상부 게이트 전극의 상면과 측면 및 상기 LDD 영역 표면에 실리사이드를 형성하는 제 5 단계를 포함한다.

【발명의 구성 및 작용】

- <11> 본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.
- <12> 본 발명의 기술 요지는, 먼저 종래의 공정과 동일하게 게이트 및 그 외 이온주입 공정을 통해 하부 게이트 전극을 형성한 후, 즉 소자의 특성에 영향을 줄 수 있는 공정을 진행한 후에 다시 게이트 폴리층을 증착한 후 식각하여 게이트 전극을 완성함으로써, 게이트 전극의 상부 영역뿐만 아니라 측면에도 실리사이드를 형성하여 그 표면적을 증가시키는 것이다.
- <13> 도 2a 내지 도 2i는 본 발명에 따른 게이트 형성 방법을 설명하기 위한 공정 단면도이다.

- <14> 도 2a를 참조하면, 반도체 기판(101) 상에 하부 게이트 폴리층(102)을 형성한 다음, 포토레지스트(103)를 도포한다. 이때 하부 게이트 폴리층(102)의 두께는 약 800~1000 Å 정도로 증착한다.
- <15> 도 2b를 참조하면, 포토레지스트(103)를 패터닝한 후 노광 및 식각 공정으로 하부 게이트 폴리층(102)을 선택적으로 제거하여 하부 게이트 전극을 형성한다.
- <16> 도 2c를 참조하면, 저농도 이온 주입 공정을 실시하여 LDD 영역(103)을 형성한다.
- <17> 도 2d를 참조하면, 하부 게이트 전극이 형성된 전체구조 상에 질화막(104)을 형성한다.
- <18> 도 2e를 참조하면, 질화막(104) 식각 공정을 진행함에 있어서 충분한 오버 식각이 이루어지도록 실시하면 하부 게이트 폴리층(102)의 좌,우측면의 질화막(104)은 게이트 전극의 측벽으로 남게되고, 하부 게이트 폴리층(102) 위의 질화막(104)은 낮은 단차와 충분한 오버 식각에 의해 완전히 제거된다.
- <19> 도 2f를 참조하면, 하부 게이트 폴리층(102) 좌,우측의 LDD 영역(103)에 불순물 이온을 주입하여 소오스 및 드레인(106)을 형성한다.
- <20> 도 2g를 참조하면, 소오스 및 드레인(106)이 형성된 구조전체 상에 상부 게이트 폴리층(106)을 형성한 다음, 포토레지스트(107)를 도포한다.
- <21> 도 2h를 참조하면, 포토레지스트(107)를 패터닝한 후 노광 및 식각 공정으로 상부 게이트 폴리층(106)을 선택적으로 제거하여 상부 게이트 전극을 형성하며, 이로서 하부 게이트 전극과 상부 게이트 전극으로 이루어지는 게이트 전극을 완성한다.

<22> 도 2i를 참조하면, 전면에 실리사이드 형성 소오스를 증착한 후 어닐 공정을 수행하여 표면으로 노출된 영역에 실리사이드(108)를 형성한다. 여기서 종래의 공정에서는 게이트 전극의 상부면에만 실리사이드(108)가 형성되었으나 본 발명의 공정에서는 게이트 전극의 측면에도 실리사이드(108)가 형성되어 그 표면적이 종래의 공정보다 더 넓게 형성된다.

<23> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

【발명의 효과】

<24> 전술한 바와 같이 본 발명은 실리사이드의 표면적을 증가시켜 실리사이드 저항을 최소화함으로써 궁극적으로 안정된 소자 제어의 효과가 있다.

<25> 또한, 하부 게이트 전극의 두께 조절이 가능하므로 낮은 PR 및 BARC의 두께로 패턴 형성이 가능하여 미세 패턴 이용에도 적용 가능하다.



【특허청구범위】

【청구항 1】

반도체 기판 상에 하부 게이트 폴리층을 형성하여 패터닝한 후 식각 공정으로 상기 하부 게이트 폴리층을 선택적으로 제거하여 하부 게이트 전극을 형성하는 제 1 단계와,

저농도 이온 주입 공정을 실시하여 LDD 영역을 형성하며, 상기 하부 게이트 전극이 형성된 전체구조 상에 질화막을 형성한 후 상기 질화막 식각 공정을 진행하여 상기 질화막으로 상기 하부 게이트 전극의 측벽을 형성하는 제 2 단계와,

상기 하부 게이트 폴리층 좌,우측의 상기 LDD 영역에 불순물 이온을 주입하여 소오스 및 드레인을 형성하는 제 3 단계와,

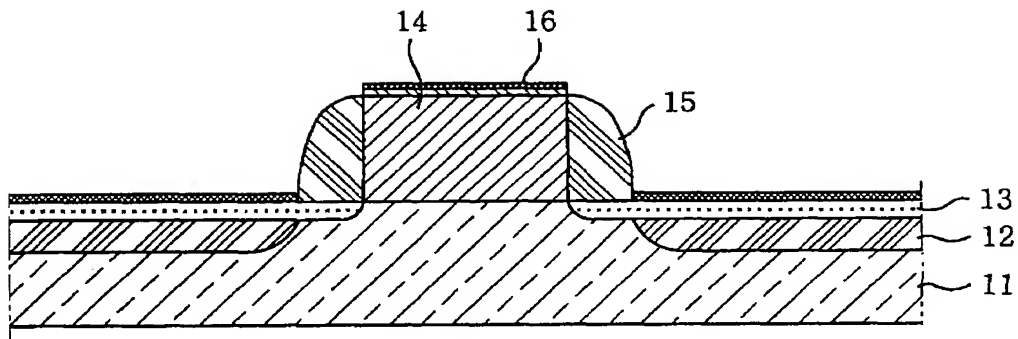
상기 소오스 및 드레인이 형성된 구조전체 상에 상부 게이트 폴리층을 형성하여 패터닝한 후 상기 상부 게이트 폴리층을 선택적으로 제거해 상부 게이트 전극을 형성하여 상기 하부 게이트 전극과 상기 상부 게이트 전극으로 이루어지는 게이트 전극을 완성하는 제 4 단계와,

전면에 실리사이드 형성 소오스를 증착한 후 어닐 공정을 수행하여 상기 상부 게이트 전극의 상면과 측면 및 상기 LDD 영역 표면에 실리사이드를 형성하는 제 5 단계를 포함하는 반도체 소자의 게이트 형성 방법.

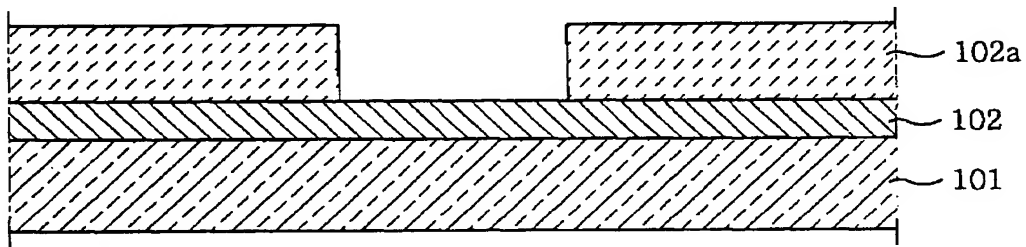


【도면】

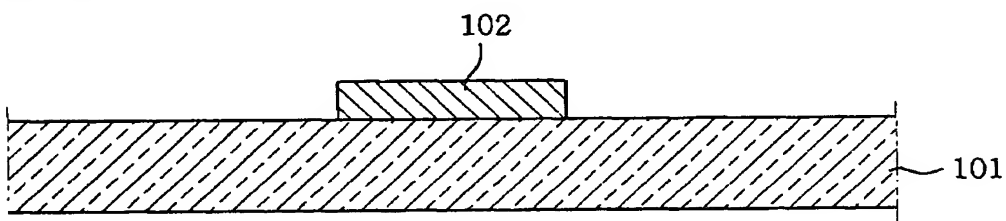
【도 1】



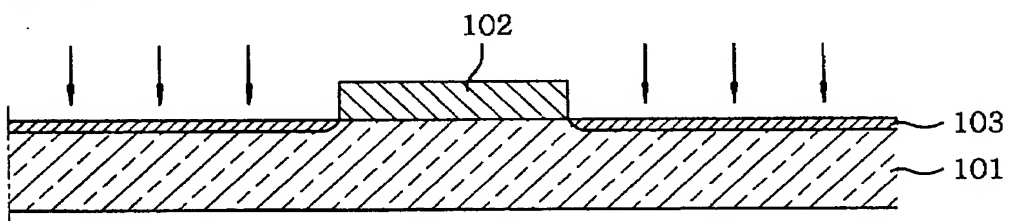
【도 2a】



【도 2b】

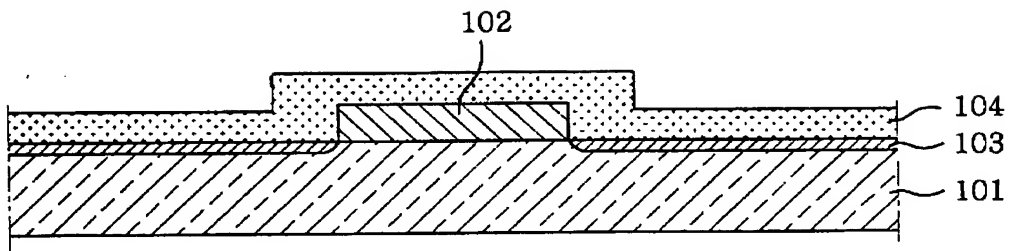


【도 2c】

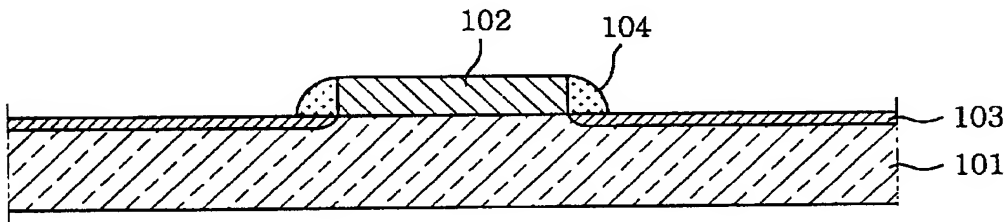




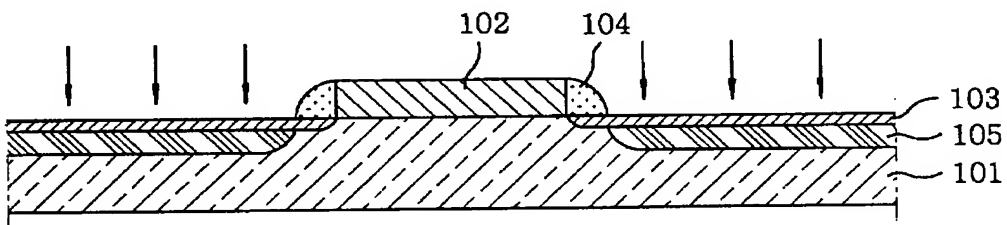
【도 2d】



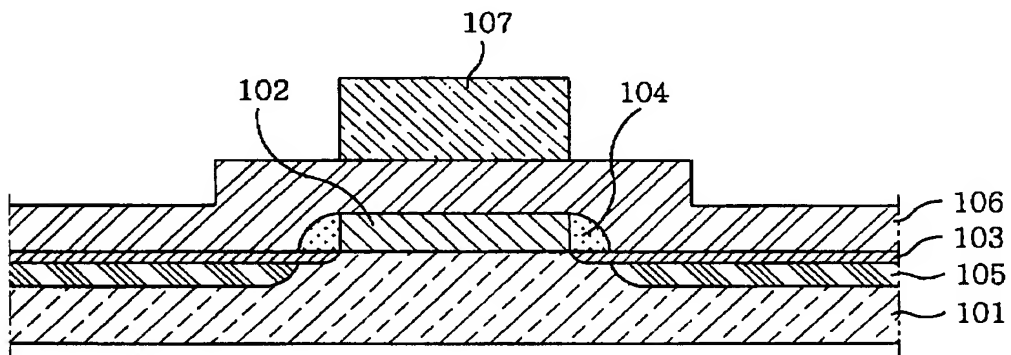
【도 2e】



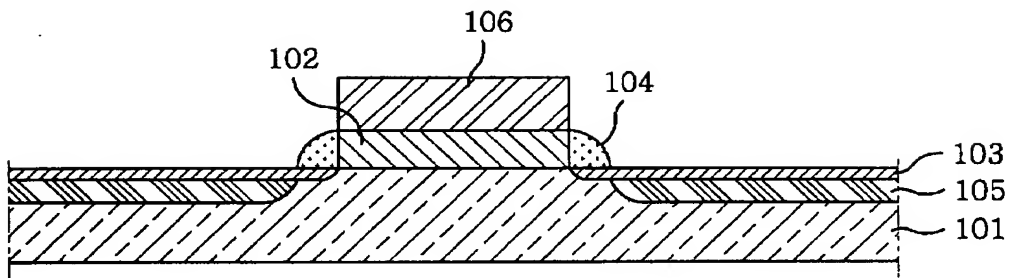
【도 2f】



【도 2g】



【도 2h】



【도 2i】

